

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94444

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/28

21/203

21/266

識別記号

3 0 1 H

S 8122-4M

庁内整理番号

7376-4M

8122-4M

F I

技術表示箇所

H 0 1 L 21/ 265

M

審査請求 未請求 請求項の数38 F D (全 14 頁)

(21) 出願番号

特願平5-257657

(22) 出願日

平成5年(1993)9月21日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内堀 千尋

京都府京都市右京区嵯峨釈迦堂門前裏柳町  
30-33

(72) 発明者 村上 正紀

京都府京都市左京区吉田本町 京都大学工  
学部金属加工学教室内

(72) 発明者 大槻 徹

京都府京都市左京区吉田本町 京都大学工  
学部金属加工学教室内

(74) 代理人 弁理士 杉浦 正知

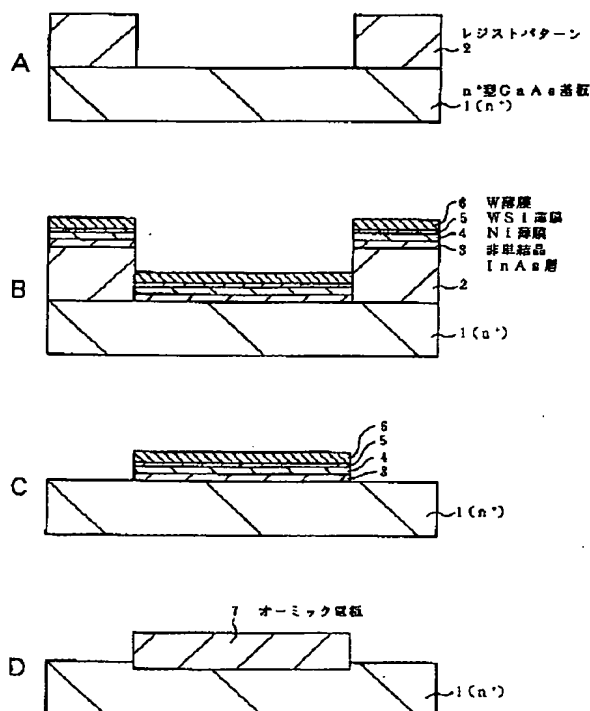
最終頁に続く

(54) 【発明の名称】 オーミック電極の形成方法およびオーミック電極形成用積層体

(57) 【要約】

【目的】 GaAs系半導体などのIII-V族化合物半導体に対する実用的に満足しうる特性を有するオーミック電極を実現する。

【構成】 n<sup>+</sup>型GaAs基板1上に、スパッタリング法などにより非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6を順次形成し、これらをリフトオフなどによりパターニングしてオーミック電極形成用積層体を形成した後、まず例えば300℃で30分間熱処理を行い、その後例えば650℃で1秒間熱処理を行うことにより、オーミック電極7を形成する。



## 【特許請求の範囲】

【請求項1】 III-V族化合物半導体基体上に、非単結晶半導体層および金属または金属間化合物から成る薄膜であって、上記非単結晶半導体層および上記薄膜のうちの少なくとも一方は少なくとも上記非単結晶半導体層に対してドナーとなる不純物を含み、かつ、上記非単結晶半導体層と上記薄膜との間のエネルギー障壁の高さは上記III-V族化合物半導体基体と上記薄膜との間のエネルギー障壁の高さよりも低いものを順次形成する工程と、上記非単結晶半導体層および上記薄膜が形成された上記

III-V族化合物半導体基体を熱処理する工程とを有することを特徴とするオーミック電極の形成方法。

【請求項2】 上記非単結晶半導体層をスパッタリング法により形成するようにしたことを特徴とする請求項1記載のオーミック電極の形成方法。

【請求項3】 上記非単結晶半導体層および上記薄膜をスパッタリング法により形成するようにしたことを特徴とする請求項1記載のオーミック電極の形成方法。

【請求項4】 上記III-V族化合物半導体基体はn型であることを特徴とする請求項1、2または3記載のオーミック電極の形成方法。

【請求項5】 上記III-V族化合物半導体基体および上記非単結晶半導体層の融点は900℃以上であることを特徴とする請求項1、2、3または4記載のオーミック電極の形成方法。

【請求項6】 上記III-V族化合物半導体基体はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求項1、2、3、4または5記載のオーミック電極の形成方法。

【請求項7】 上記非単結晶半導体層は非単結晶InAs層または非単結晶InGaAs層であることを特徴とする請求項1、2、3、4、5または6記載のオーミック電極の形成方法。

【請求項8】 上記薄膜は金属薄膜および上記金属薄膜上に形成された高融点金属シリサイド薄膜を有することを特徴とする請求項1、2、3、4、5、6または7記載のオーミック電極の形成方法。

【請求項9】 上記高融点金属シリサイド薄膜上にさらに高融点金属薄膜が形成されていることを特徴とする請求項8記載のオーミック電極の形成方法。

【請求項10】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属シリサイド薄膜はWSi薄膜であることを特徴とする請求項8または9記載のオーミック電極の形成方法。

【請求項11】 上記高融点金属薄膜はW薄膜であることを特徴とする請求項9記載のオーミック電極の形成方法。

【請求項12】 上記薄膜は少なくとも上記非単結晶半導体層に対してドナーとなる不純物を含む金属薄膜および上記金属薄膜上に形成された高融点金属薄膜を有する

ことを特徴とする請求項1、2、3、4、5、6または7記載のオーミック電極の形成方法。

【請求項13】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属薄膜はW薄膜であることを特徴とする請求項12記載のオーミック電極の形成方法。

【請求項14】 上記薄膜は金属薄膜、少なくとも上記非単結晶半導体層に対してドナーとなる不純物から成る薄膜および上記薄膜上に形成された高融点金属薄膜を有することを特徴とする請求項1、2、3、4、5、6または7記載のオーミック電極の形成方法。

【請求項15】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属薄膜はW薄膜であることを特徴とする請求項14記載のオーミック電極の形成方法。

【請求項16】 上記非単結晶半導体層は少なくとも上記非単結晶半導体層に対してドナーとなる不純物を含み、かつ、上記薄膜は金属薄膜および上記金属薄膜上に形成された高融点金属薄膜を有することを特徴とする請求項1、2、3、4、5、6または7記載のオーミック電極の形成方法。

【請求項17】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属薄膜はW薄膜であることを特徴とする請求項16記載のオーミック電極の形成方法。

【請求項18】 上記不純物はSi、Ge、TeおよびSnから成る群より選ばれた少なくとも一種の不純物であることを特徴とする請求項1～17のいずれか一項記載のオーミック電極の形成方法。

【請求項19】 上記熱処理の温度は900℃以下であることを特徴とする請求項1～18のいずれか一項記載のオーミック電極の形成方法。

【請求項20】 上記熱処理の工程は200～400℃の温度での第1の熱処理の工程と500～900℃の温度での第2の熱処理の工程とから成ることを特徴とする請求項1～18のいずれか一項記載のオーミック電極の形成方法。

【請求項21】 III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および金属または金属間化合物から成る薄膜であって、上記非単結晶半導体層および上記薄膜のうちの少なくとも一方は少なくとも上記非単結晶半導体層に対してドナーとなる不純物を含み、かつ、上記非単結晶半導体層と上記薄膜との間のエネルギー障壁の高さは上記III-V族化合物半導体基体と上記薄膜との間のエネルギー障壁の高さよりも低いものから成るオーミック電極形成用積層体。

【請求項22】 上記非単結晶半導体層はスパッタリング法により形成されたものであることを特徴とする請求項21記載のオーミック電極形成用積層体。

【請求項23】 上記非単結晶半導体層および上記薄膜はスパッタリング法により形成されたものであることを特徴とする請求項21記載のオーミック電極形成用積層体。

【請求項24】 上記III-V族化合物半導体基体はn型であることを特徴とする請求項21、22または23記載のオーミック電極形成用積層体。

【請求項25】 上記III-V族化合物半導体基体および上記非単結晶半導体層の融点は900℃以上であることを特徴とする請求項21、22、23または24記載のオーミック電極形成用積層体。

【請求項26】 上記III-V族化合物半導体基体はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求項21、22、23、24または25記載のオーミック電極形成用積層体。

【請求項27】 上記非単結晶半導体層は非単結晶InAs層または非単結晶InGaAs層であることを特徴とする請求項21、22、23、24、25または26記載のオーミック電極形成用積層体。

【請求項28】 上記薄膜は金属薄膜および上記金属薄膜上に形成された高融点金属シリサイド薄膜を有することを特徴とする請求項21、22、23、24、25、26または27記載のオーミック電極形成用積層体。

【請求項29】 上記高融点金属シリサイド薄膜上にさらに高融点金属薄膜が形成されていることを特徴とする請求項28記載のオーミック電極形成用積層体。

【請求項30】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属シリサイド薄膜はWSi薄膜であることを特徴とする請求項28または29記載のオーミック電極形成用積層体。

【請求項31】 上記高融点金属薄膜はW薄膜であることを特徴とする請求項29記載のオーミック電極形成用積層体。

【請求項32】 上記薄膜は少なくとも上記非単結晶半導体層に対してドナーとなる不純物を含む金属薄膜および上記金属薄膜上に形成された高融点金属薄膜を有することを特徴とする請求項21、22、23、24、25、26または27記載のオーミック電極形成用積層体。

【請求項33】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属薄膜はW薄膜であることを特徴とする請求項32記載のオーミック電極形成用積層体。

【請求項34】 上記薄膜は金属薄膜、少なくとも上記非単結晶半導体層に対してドナーとなる不純物から成る薄膜および上記薄膜上に形成された高融点金属薄膜を有することを特徴とする請求項21、22、23、24、25、26または27記載のオーミック電極形成用積層体。

【請求項35】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属薄膜はW薄膜であることを特徴とする請求項34記載のオーミック電極形成用積層体。

【請求項36】 上記非単結晶半導体層は少なくとも上

記非単結晶半導体層に対してドナーとなる不純物を含み、かつ、上記薄膜は金属薄膜および上記金属薄膜上に形成された高融点金属薄膜を有することを特徴とする請求項21、22、23、24、25、26または27記載のオーミック電極形成用積層体。

【請求項37】 上記金属薄膜はNi薄膜またはCo薄膜であり、上記高融点金属薄膜はW薄膜であることを特徴とする請求項34記載のオーミック電極形成用積層体。

【請求項38】 上記不純物はSi、Ge、TeおよびSnから成る群より選ばれた少なくとも一種の不純物であることを特徴とする請求項21～37のいずれか一項記載のオーミック電極形成用積層体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、オーミック電極の形成方法およびオーミック電極形成用積層体に関し、特に、III-V族化合物半導体に対するオーミック電極の形成に適用して好適なものである。

【0002】

【従来の技術】化合物半導体を用いたFETなどのデバイスの高性能化や信頼性の向上を図る上で、オーミック電極の接触抵抗の低減や熱安定性の向上は重要な課題である。しかしながら、化合物半導体、特にGaAs系半導体などのIII-V族化合物半導体に対するオーミック電極は、上記の要求を満足するものが得られていないのが現状である。

【0003】現在、GaAs系半導体に対するオーミック電極の材料として最もよく用いられているものは、AuGe/Niである。このAuGe/Niをオーミック電極の材料として用いた場合には、400～500℃の熱処理により、GaAs系半導体とオーミック接触するオーミック電極を形成することができる。

【0004】このようにAuGe/Niをオーミック電極の材料として用いる場合の最も大きな問題は、この材料を用いて形成されるオーミック電極の熱安定性が悪いことである。すなわち、AuGe/Ni中にAuが多量に含まれている（通常用いられるAuGe中には88%のAuが含まれている）ことにより、400℃以上の温度でGaAsとAuとが反応してβ-AuGa（六方最密（HCP）構造で融点 $T_m = 375^\circ\text{C}$ ）が形成されるため、オーミック電極の接触抵抗は低下するものの、熱安定性は劣化する。その結果、オーミック電極形成後に行われる化学気相成長（CVD）などの高温プロセスによりデバイス特性の劣化が引き起こされる。

【0005】この問題を図12に示すGaAs JFETの製造プロセスを例にとって具体的に説明すると次のようになる。すなわち、この製造プロセスでは、まず、図12Aに示すように、半絶縁性GaAs基板101中に、n型不純物の選択的なイオン注入およびその後の熱

処理によりn型チャネル層102を形成する。次に、半絶縁性GaAs基板101の全面にSi<sub>3</sub>N<sub>4</sub>膜のような絶縁膜103を形成した後、この絶縁膜103の所定部分をエッチング除去して開口103aを形成する。この後、この開口103aを通じてn型チャネル層102中にp型不純物としてZnを拡散させることによりp<sup>+</sup>型ゲート領域104を形成する。次に、図12Bに示すように、絶縁膜103の所定部分をエッチング除去して開口103b、103cを形成した後、開口103a、103b、103cの部分におけるn型チャネル層102上にAuGe/Niを材料として用いてそれぞれゲート電極、ソース電極およびドレイン電極としてのオーミック電極105、106、107を形成する。次に、図12Cに示すように、それぞれオーミック電極106、107と接続された一層目の配線108、109を形成する。次に、図12Dに示すように、後述の二層目の配線との電氣的絶縁のための例えばSi<sub>3</sub>N<sub>4</sub>膜のような層間絶縁膜110をCVD法により全面に形成した後、この層間絶縁膜110の所定部分をエッチング除去して開口110a、110bを形成する。ここで、この層間絶縁膜110をCVD法により形成する際に400℃近い高温プロセスを経るため、デバイス特性の劣化が生じるのである。二層目の配線を形成するには、二層目の配線のコンタクト部などを除いた部分の表面に例えばレジスト111を形成する。次に、全面に二層目の配線形成用の材料を形成した後、レジスト111を除去する。これによって、図12Eに示すように、二層目の配線112、113がエアーブリッジ配線として形成される。

【0006】上述のようにオーミック電極の材料としてAuGe/Niを用いた場合には、上記の問題のほか、GaAsとAuとの反応によりβ-AuGaが形成されることにより、オーミック電極の表面の面荒れが生じ、これが後の微細加工を行う上で大きな問題となっている。

【0007】これらの問題を解決するために、これまでに種々のオーミック電極材料の研究が行われている。ところで、オーミック接触を考えた場合、最も理想的とされるのは、図13に示すように、電極金属との界面におけるエネルギー障壁を低下させ、上述のβ-AuGaのような低融点の化合物を含まない金属でオーミック接触を得ることである。なお、図13において、E<sub>c</sub>およびE<sub>v</sub>はそれぞれ伝導帯の下端のエネルギーおよび価電子帯の上端のエネルギー、E<sub>F</sub>はフェルミエネルギーを示す。このような構造のオーミック電極は、有機金属化学気相成長(MOCVD)法などのエピタキシャル成長法によりGaAs基板上にIn<sub>x</sub>Ga<sub>1-x</sub>As層を低エネルギー障壁の中間層として形成し、その上に電極金属を形成することにより得られている。しかしながら、このような構造のオーミック電極を得るために、MOCVD装置などのエピタキシャル成長装置を用いることは、プ

ロセスウィンドウを小さくし、また、量産性も悪くする。

【0008】このような問題を解決するために、低エネルギー障壁の中間層としてのInAs層をInAsをターゲットとして用いたスパッタリング法により形成するとともに、W薄膜およびNi薄膜は電子ビーム蒸着法を用いて形成して、InAs/W構造、InAs/Ni/W構造、Ni/InAs/Ni/W構造などの積層体をGaAs基板上に形成し、その後に熱処理を行うことにより、熱安定性が良好なオーミック電極を形成することができることが報告されている(J. Appl. Phys. 68, 2475(1990))。図14はその一例を示し、n型GaAs基板200上にスパッタリング法によりInAs層201を形成し、さらにこのInAs層201上にNi薄膜202およびW薄膜203を順次形成した後、熱処理を行うことによりオーミック電極を形成する。

【0009】この方法は、InAs層201の形成に高速で成膜を行うことができるスパッタリング法を用いているので、非常に量産性に優れている。また、このオーミック電極は、その最上層に高融点金属であるW薄膜203を用いていることから、このオーミック電極に接続する金属配線の材料としてAl、Auといったあらゆる金属をバリアメタルを用いることなく利用することができるなど、プロセスの自由度も大きい。しかしながら、この方法では、InAs層201中にドナーとなる不純物を導入することができないことや、熱処理時に微量のInがW薄膜203上に拡散することなどにより、十分に低い接触抵抗を得ることができないという大きな問題を有している。また、熱処理時にInがW薄膜203上に拡散する結果、オーミック電極の表面が荒れ、モフロロジーが極めて悪くなるという問題もある。

【0010】

【発明が解決しようとする課題】上述のように、従来のGaAs系半導体に対するオーミック電極はいずれも不満足なものであるため、実用上満足しうる特性を有するオーミック電極の実現が望まれていた。

【0011】従って、この発明の目的は、GaAs系半導体その他のIII-V族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易に、しかも高い生産性で形成することができるオーミック電極の形成方法を提供することにある。

【0012】この発明の他の目的は、GaAs系半導体その他のIII-V族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易に形成することができるオーミック電極形成用積層体を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために、この発明によるオーミック電極の形成方法は、III-V族化合物半導体基体(1)上に、非単結晶半導体層

(3) および金属または金属間化合物から成る薄膜(4、5、6)であって、非単結晶半導体層(3)および薄膜(4、5、6)のうちの少なくとも一方は少なくとも非単結晶半導体層(3)に対してドナーとなる不純物を含み、かつ、非単結晶半導体層(3)と薄膜(4、5、6)との間のエネルギー障壁の高さはIII-V族化合物半導体基体(1)と薄膜(4、5、6)との間のエネルギー障壁の高さよりも低いものを順次形成する工程と、非単結晶半導体層(3)および薄膜(4、5、6)が形成されたIII-V族化合物半導体基体(1)を熱処理する工程とを有する。

【0014】ここで、III-V族化合物半導体基体は、好適には、融点が900℃以上であるものである。このIII-V族化合物半導体基体には、例えばGaAs、AlGaAs、InGaAsなどから成る基板または層が含まれる。また、このIII-V族化合物半導体基体がn型である場合、このIII-V族化合物半導体基体中にはドナーとなる不純物として、例えばSi、Ge、Te、Snなどが含まれる。これらのドナーとなる不純物は、例えばイオン注入、液相エピタキシー(LPE)、分子線エピタキシー(MBE)、有機金属気相エピタキシー(MOVPE)などの方法によりIII-V族化合物半導体基体中に導入される。

【0015】非単結晶半導体層は、好適には、融点が900℃以上であるものである。この非単結晶半導体層には、非単結晶InAs層や非単結晶InGaAs層などが含まれる。ここで、「非単結晶」とは、単結晶ではなく、多結晶または非晶質であることを意味する。この非単結晶半導体層は、好適には、スパッタリング法により形成されるが、他の方法、例えば真空蒸着法、特に電子ビーム蒸着法によって形成してもよい。この非単結晶半導体層をスパッタリング法により形成する場合には、ターゲットとしてこの非単結晶半導体層と同一の半導体材料から成る単一のターゲットを用いた通常のスパッタリング法を用いることができるほか、この非単結晶半導体層の各構成元素から成る複数のターゲットを用いた同時スパッタリング法を用いることもできる。また、単一のターゲットを用いる場合にはそのターゲットとして非単結晶半導体層に対してドナーとなる不純物を含むものを用い、複数のターゲットを用いる場合にはその少なくとも一つのターゲットとして非単結晶半導体層に対してドナーとなる不純物を含むものを用いることにより、ドナーとなる不純物を含む非単結晶半導体層を形成することができる。

【0016】III-V族化合物半導体基体と非単結晶半導体層との間には、非単結晶半導体層のIII-V族化合物半導体基体に対する濡れ性を向上させるためなどの目的で、例えばNi薄膜のような金属薄膜を形成してもよい。この金属薄膜としては、非単結晶半導体層に対してドナーとなる不純物を含むものを用いてもよい。

【0017】この発明によるオーミック電極の形成方法の一実施形態においては、非単結晶半導体層上の薄膜は、金属薄膜およびこの金属薄膜上に形成された高融点金属シリサイド薄膜を有する。この場合、金属薄膜は、より低い温度での熱処理により低い接触抵抗のオーミック電極を形成することができるようにするためなどの理由により用いられる。また、高融点金属シリサイド薄膜は、それに含まれるSiを非単結晶半導体層に対してドナーとなる不純物としてこの非単結晶半導体層中に拡散させるための不純物拡散源として用いられるほか、熱処理時に非単結晶半導体層の構成元素、例えばInが電極表面側に拡散するのを防止するために用いられる。この高融点金属シリサイド薄膜上には、オーミック電極のシート抵抗の低減を図るためや、バリアメタルを用いることなくオーミック電極に金属配線を接続することができるようにするためなどの理由により、好適には、高融点金属シリサイド薄膜に比べて抵抗率が低く、しかも配線に用いられる材料との反応が起こりにくい高融点金属薄膜が形成される。ここで、金属薄膜としてはNi薄膜やCo薄膜を用いることができる。また、高融点金属シリサイド薄膜としてはWSi薄膜のほか、MoSi薄膜、TaSi薄膜などを用いることができる。さらに、高融点金属薄膜としては、W薄膜のほか、Mo薄膜、Ta薄膜などを用いることができる。

【0018】この発明によるオーミック電極の形成方法の他の実施形態においては、非単結晶半導体層上の薄膜は、少なくとも非単結晶半導体層に対してドナーとなる不純物を含む金属薄膜およびこの金属薄膜上に形成された高融点金属薄膜を有する。この場合、少なくとも非単結晶半導体層に対してドナーとなる不純物を含む金属薄膜は、より低い温度での熱処理により低い接触抵抗のオーミック電極を形成することができるようにするために用いられるほか、非単結晶半導体層に対してドナーとなる不純物をこの非単結晶半導体層中に拡散させるための不純物拡散源として用いられる。高融点金属薄膜は、オーミック電極のシート抵抗の低減を図るためや、バリアメタルを用いることなくオーミック電極に金属配線を接続することができるようにするためなどの理由により用いられる。ここで、金属薄膜としてはNi薄膜やCo薄膜を用いることができる。また、高融点金属薄膜としては、W薄膜のほか、Mo薄膜、Ta薄膜などを用いることができる。

【0019】この発明によるオーミック電極の形成方法の他の実施形態においては、非単結晶半導体層上の薄膜は、金属薄膜、少なくとも非単結晶半導体層に対してドナーとなる不純物から成る薄膜およびこの薄膜上に形成された高融点金属薄膜を有する。この場合、金属薄膜は、より低い温度での熱処理により低い接触抵抗のオーミック電極を形成することができるようにするためなどの理由により用いられる。少なくとも非単結晶半導体層

に対してドナーとなる不純物から成る薄膜は、非単結晶半導体層に対してドナーとなる不純物をこの非単結晶半導体層中に拡散させるための不純物拡散源として用いられる。高融点金属薄膜は、オーミック電極のシート抵抗の低減を図るためや、バリアメタルを用いることなくオーミック電極に金属配線を接続することができるようにするためなどの理由により用いられる。ここで、金属薄膜としてはNi薄膜やCo薄膜を用いることができる。また、高融点金属薄膜としては、W薄膜のほか、Mo薄膜、Ta薄膜などを用いることができる。

【0020】この発明によるオーミック電極の形成方法の他の実施形態においては、非単結晶半導体層は少なくとも非単結晶半導体層に対してドナーとなる不純物を含み、かつ、非単結晶半導体層上の薄膜は、金属薄膜およびこの金属薄膜上に形成された高融点金属薄膜を有する。この場合、金属薄膜は、より低い温度での熱処理により低い接触抵抗のオーミック電極を形成することができるようにするためなどの理由により用いられる。高融点金属薄膜は、オーミック電極のシート抵抗の低減を図るためや、バリアメタルを用いることなくオーミック電極に金属配線を接続することができるようにするためなどの理由により用いられる。ここで、金属薄膜としてはNi薄膜やCo薄膜を用いることができる。高融点金属薄膜としては、W薄膜のほか、Mo薄膜、Ta薄膜などを用いることができる。

【0021】なお、上記の高融点金属薄膜上には、オーミック電極のシート抵抗の低減を図る見地から、必要に応じて、例えばAl薄膜、Au薄膜、Au/Ti薄膜などを形成してもよい。

【0022】非単結晶半導体層上の薄膜、すなわち金属薄膜、高融点金属シリサイド薄膜、高融点金属薄膜などは、スパッタリング法や、真空蒸着法、特に電子ビーム蒸着法によって形成することができる。これらの金属薄膜、高融点金属シリサイド薄膜、高融点金属薄膜などをスパッタリング法により形成する場合には、ターゲットとしてこれらと同一の材料から成る単一のターゲットを用いた通常のスパッタリング法を用いることができるほか、これらの各構成元素から成る複数のターゲットを用いた同時スパッタリング法を用いることもできる。また、これらの金属薄膜、高融点金属シリサイド薄膜、高融点金属薄膜などを真空蒸着法により形成する場合には、これらと同一の材料から成る単一の蒸着源またはこれらの各構成元素から成る複数の蒸着源を用いることができる。さらに、高融点金属薄膜は、場合によってはCVD法により形成してもよい。

【0023】非単結晶半導体層に対してドナーとなる不純物としては、Si、Ge、TeおよびSnから成る群より選ばれた一種または複数種の不純物を用いることができる。これらの不純物は、III-V族化合物半導体基体に対してもドナーとなるものである。

【0024】この発明によるオーミック電極の形成方法において、熱処理の温度は、非単結晶半導体層を結晶化させることができる温度に選ばれるが、この温度は、使用されるIII-V族化合物半導体基体や非単結晶半導体層の融点との兼ね合いなどにより、好適には、900℃以下に選ばれる。また、この熱処理は、好適には、二段階にわたって行われる。具体的には、一回目の熱処理を二回目の熱処理の温度よりも低い温度、例えば200～400℃の温度で行い、その後、二回目の熱処理を500～900℃の温度で行う。

【0025】この発明によるオーミック電極形成用積層体は、III-V族化合物半導体基体(1)上に順次形成された、非単結晶半導体層(3)および金属または金属間化合物から成る薄膜(4、5、6)であって、非単結晶半導体層(3)および薄膜(4、5、6)のうちの少なくとも一方は少なくとも非単結晶半導体層(3)に対してドナーとなる不純物を含み、かつ、非単結晶半導体層(3)と薄膜(4、5、6)との間のエネルギー障壁の高さはIII-V族化合物半導体基体(1)と薄膜(4、5、6)との間のエネルギー障壁の高さよりも低いものから成る。

【0026】この発明によるオーミック電極形成用積層体において、III-V族化合物半導体基体、非単結晶半導体層、金属または金属間化合物から成る薄膜、非単結晶半導体層に対してドナーとなる不純物などやその他のことは、この発明によるオーミック電極の形成方法の説明において述べたと同様である。

【0027】

【作用】上述のように構成されたこの発明によるオーミック電極の形成方法によれば、非単結晶半導体層および金属または金属間化合物から成る薄膜であって、非単結晶半導体層および薄膜のうちの少なくとも一方は少なくとも非単結晶半導体層に対してドナーとなる不純物を含み、かつ、非単結晶半導体層と薄膜との間のエネルギー障壁の高さはIII-V族化合物半導体基体と薄膜との間のエネルギー障壁の高さよりも低いものをオーミック電極形成用積層体として形成し、その後熱処理を行うようにしていることにより、実用上デバイスに要求される特性、すなわち熱安定性、低接触抵抗、表面の平坦性などの特性を満足するオーミック電極を容易に形成することができる。特に、熱処理により非単結晶半導体層が結晶化されて結晶性半導体層が形成された後におけるこの結晶性半導体層中には、ドナーとなる不純物が含まれて低抵抗となることから、オーミック電極の接触抵抗の低減を図ることができる。また、高速で成膜を行うことができるスパッタリング法などにより容易に形成することができる非単結晶半導体層を低エネルギー障壁の中間層として用いているので、オーミック電極を高い生産性で形成することができる。

【0028】この発明によるオーミック電極形成用積層

体によれば、実用上デバイスに要求される特性を満足するオーミック電極を容易に形成することができる。

【0029】

【実施例】以下、この発明の実施例について図面を参照しながら説明する。なお、実施例の全図において、同一または対応する部分には同一の符号を付す。図1はこの発明の第1実施例によるオーミック電極の形成方法を示す。

【0030】この第1実施例においては、まず、図1Aに示すように、 $n^+$ 型GaAs基板1上にフォトリソグロフィー法によりパターニングし、形成すべきオーミック電極に対応する部分に開口を有するレジストパターン2を形成する。このフォトリソグロフィーにおける露光は、例えば縮小投影露光装置（いわゆるステッパー）のような光学式露光装置を用いて行われる。なお、このレジストパターン2の形成は、電子線レジストと電子ビームリソグロフィー法とを用いて行うようにしてもよい。

【0031】次に、図1Bに示すように、まず、例えばInAsをターゲットとして用いたスパッタリング法（例えば、マグネトロンスパッタリング法）により非単結晶InAs層3を全面に形成し、引き続いて例えばスパッタリング法や電子ビーム蒸着法によりNi薄膜4、WSi薄膜5およびW薄膜6を順次全面に形成する。ここで、スパッタリング法、例えばマグネトロンスパッタリング法により非単結晶InAs層3を形成する場合には、成膜室内を例えばベース圧力 $2 \times 10^{-5}$  Paに真空排気した後、この成膜室内にArガスを例えば圧力 $3 \times 10^{-1}$  Paまで導入し、このArガスをDC放電させる。この場合の使用電力は例えば150Wである。また、成膜は例えば室温で行われる。このとき、成膜速度は例えば7nm/分である。なお、レジストパターン2の厚さは、非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6の合計の厚さよりも十分に大きくないように選ばれている。

【0032】次に、このようにして非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6が形成された $n^+$ 型GaAs基板1を例えばアセトンのような有機溶剤に浸けてレジストパターン2を溶解除去することにより、このレジストパターン2上に形成された非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6を除去する。これによって、図1Cに示すように、レジストパターン2の開口部に対応する部分における $n^+$ 型GaAs基板1上にのみ非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6が残される。

【0033】次に、これらの非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6、すなわちオーミック電極形成用積層体が形成された $n^+$ 型GaAs基板1を、例えば一般的な電気炉による方法により例えば300℃で30分間熱処理を行った後、例えばRTA

(Rapid Thermal Annealing)法や一般的な電気炉による方法により例えば700～800℃で例えば数秒～数分間熱処理を行う。ここで、非単結晶InAs層3の融点は約942℃、 $n^+$ 型GaAs基板1の融点は約1238℃であり、いずれもこの熱処理の温度よりも十分に高い。また、この熱処理の際の雰囲気としては、例えばN<sub>2</sub>ガスや、微量のH<sub>2</sub>ガスを添加したN<sub>2</sub>ガスから成る雰囲気をを用いる。この熱処理の結果、図1Dに示すように、オーミック電極7が形成される。

【0034】このようにして形成されるオーミック電極7の詳細な構造は現在解析中であるが、このオーミック電極7のうちの $n^+$ 型GaAs基板1との接触部は $n$ 型の結晶性In<sub>x</sub>Ga<sub>1-x</sub>Asや結晶性NiAsから成っていることがわかっている。上述の熱処理によりこのような構造が得られる機構について説明すると、次のようになる。すなわち、まず、例えば300℃で30分間の第1段階の熱処理により、 $n^+$ 型GaAs基板1上にNi<sub>x</sub>Ga<sub>1-x</sub>As層が形成されるとともに、その上にNiAsから成る析出物を含む非単結晶InAs層が形成される。この場合、Ni<sub>x</sub>Ga<sub>1-x</sub>As層が形成される結果、 $n^+$ 型GaAs基板1上の自然酸化膜が除去される。次に、例えば700～800℃で数秒～数分間の第2段階の熱処理により、非単結晶InAs層が $n^+$ 型GaAs基板1上にエピタキシャル成長することにより結晶化されて結晶性InAs層が形成され、さらにこの結晶性InAs層が $n^+$ 型GaAs基板1と反応して結晶性In<sub>x</sub>Ga<sub>1-x</sub>As層が形成される。ここで、この結晶性In<sub>x</sub>Ga<sub>1-x</sub>As層と $n^+$ 型GaAs基板1とは、それらの接触界面で少なくとも部分的に結晶格子が互いに整合している。また、この第2段階の熱処理の際には、WSi薄膜5からドナーとなる不純物であるSiが上記の結晶性In<sub>x</sub>Ga<sub>1-x</sub>As層中に高濃度に拡散され、これによってこの結晶性In<sub>x</sub>Ga<sub>1-x</sub>As層は $n$ 型化されて低抵抗化される。さらに、この結晶性In<sub>x</sub>Ga<sub>1-x</sub>As層の形成と同時に、結晶性NiAs層が $n^+$ 型GaAs基板1上に形成される。なお、WSi薄膜5中のSiは、 $n^+$ 型GaAs基板1中にも拡散され、少なくともオーミック電極7との接触部の $n^+$ 型GaAs基板1の不純物濃度を増大させる。また、このオーミック電極7の最上部はWから成っていることがわかっている。

【0035】図2は、非単結晶InAs層3、WSi薄膜5およびW薄膜6の厚さをそれぞれ18nm、4nmおよび50nmに固定し、Ni薄膜4の厚さを20nm、23nmおよび25nmの3水準に変え、これらの非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6を形成した後、まず一般的な電気炉による方法により300℃で30分間熱処理を行ってから、RTA法により495～655℃の範囲で温度を変えて1秒間熱処理を行うことにより形成したオーミック電極の接



触抵抗を測定し、その接触抵抗を熱処理温度の関数として示したものである。ただし、これらの熱処理の際の雰囲気としては、5%の $H_2$  ガスが添加された $N_2$  ガス雰囲気をを用いた。また、 $n^+$  型GaAs基板1としては、(100)面方位の半絶縁性GaAs基板にSiをイオン注入して $n$ 型化した、不純物濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のものをを用いた。接触抵抗の測定はTLM (Transmission Line Method) 法により行った。図2より、熱処理温度が $600^\circ\text{C}$ のときに接触抵抗は最も低くなって約 $1 \Omega \text{ mm}$ となることがわかる。

【0036】図3は、非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6から成るオーミック電極形成用積層体の形成直後における光学顕微鏡写真を示す。ただし、非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6の厚さはそれぞれ18 nm、23 nm、4 nmおよび50 nmである。図3より、形成直後の状態におけるオーミック電極形成用積層体のモフォロジーは極めて良好であることがわかる。

【0037】図4は、非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6から成るオーミック電極形成用積層体を形成してから $300^\circ\text{C}$ で30分間熱処理を行った後の状態におけるオーミック電極形成用積層体の光学顕微鏡写真を示す。図4より、この状態におけるオーミック電極形成用積層体のモフォロジーも極めて良好であることがわかる。

【0038】図5は、非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6から成るオーミック電極形成用積層体を形成してから、まず $300^\circ\text{C}$ で30分間熱処理を行い、その後 $650^\circ\text{C}$ で1秒間熱処理を行うことにより形成したオーミック電極の光学顕微鏡写真を示す。図5より、この方法により形成されたオーミック電極のモフォロジーは極めて良好であることがわかる。このように良好なモフォロジーが得られる理由は、WSi薄膜5の存在により、熱処理時に非単結晶InAs層3からInが電極表面側に拡散するのが防止されるためである。このWSi薄膜5の厚さは上述のように4 nmと極めて小さいにもかかわらず、このようなInの拡散防止効果が得られることは注目に値する。

【0039】一方、比較のために、厚さ23 nmの非単結晶InAs層、厚さ15 nmのNi薄膜および厚さ34 nmのW薄膜を順次積層した構造のオーミック電極形成用積層体を形成してから、まず $300^\circ\text{C}$ で30分間熱処理を行い、その後 $700^\circ\text{C}$ で1秒間熱処理を行うことにより形成したオーミック電極の光学顕微鏡写真を図6に示す。図6より、この方法により形成されたオーミック電極のモフォロジーは、非単結晶InAs層からInが電極表面側に拡散した結果として、図5の場合と比べて極めて悪くなっていることが明らかである。

【0040】また、上述のオーミック電極7を形成した後に試料を $400^\circ\text{C}$ で熱処理したときのこのオーミック

電極7の接触抵抗の経時変化、すなわちオーミック電極7の熱安定性を測定したところ、熱安定性は良好であることがわかった。このように良好な熱安定性が得られる理由は、このオーミック電極7中には、AuGe/Niを用いてオーミック電極を形成した場合にこのオーミック電極中に含まれる $\beta$ -AuGaのような低融点の化合物が含まれていないためである。

【0041】以上のように、この第1実施例によれば、 $n^+$  型GaAs基板1上に、非単結晶InAs層3、Ni薄膜4、WSi薄膜5およびW薄膜6から成るオーミック電極形成用積層体を形成した後、例えば $300^\circ\text{C}$ での第1段階の熱処理および例えば $700 \sim 800^\circ\text{C}$ での第2段階の熱処理を行っていることにより、低接触抵抗かつ低膜抵抗で表面の平坦性も良好でさらに熱安定性も良好なオーミック電極7を容易に形成することができる。このオーミック電極7は、図13に示す理想的なエネルギーバンド構造に近いエネルギーバンド構造を有する。このオーミック電極7はまた、その最上部が高融点金属であるWから成るため、バリアメタルを用いることなく、金属配線を直接接続することができる。さらに、オーミック電極7の形成に用いられる非単結晶InAs層3は、高速で成膜を行うことができるスパッタリング法により形成しているため、このオーミック電極7を高い生産性で形成することができる。

【0042】次に、この発明の第2実施例について説明する。この第2実施例によるオーミック電極の形成方法においては、第1実施例において用いた図1Cに示すようなオーミック電極形成用積層体の代わりに、図7に示すようなオーミック電極形成用積層体を用いる。この図7に示すオーミック電極形成用積層体が図1Cに示すオーミック電極形成用積層体と異なる点は、W薄膜6が形成されていないことである。その他のことは第1実施例と同様であるので、説明を省略する。

【0043】この第2実施例によっても、第1実施例とほぼ同様な良好な特性を有するオーミック電極を容易にしかも高い生産性で形成することができる。

【0044】次に、この発明の第3実施例について説明する。この第3実施例によるオーミック電極の形成方法においては、第1実施例において用いた図1Cに示すようなオーミック電極形成用積層体の代わりに、図8に示すようなオーミック電極形成用積層体を用いる。この図8に示すオーミック電極形成用積層体が図1Cに示すオーミック電極形成用積層体と異なる点は、WSi薄膜5が形成されておらず、その代わりに非単結晶InAs層3に対してドナーとなる不純物であるGeから成るGe薄膜8が形成されていることである。これに伴い、オーミック電極形成用積層体の形成後に行われる熱処理の際には、このGe薄膜8中のGeが非単結晶InAs層3などに拡散することになる。その他のことは第1実施例と同様であるので、説明を省略する。



【0045】この第3実施例によっても、第1実施例とほぼ同様な良好な特性を有するオーミック電極を容易にしかも高い生産性で形成することができる。

【0046】次に、この発明の第4実施例について説明する。この第4実施例によるオーミック電極の形成方法においては、第1実施例において用いた図1Cに示すようなオーミック電極形成用積層体の代わりに、図9に示すようなオーミック電極形成用積層体を用いる。この図9に示すオーミック電極形成用積層体が図1Cに示すオーミック電極形成用積層体と異なる点は、WSi薄膜5が形成されておらず、その代わりにNi薄膜4中にSi、Ge、Te、Snなどのドナーとなる不純物のうち  
10 の一種または二種以上が含まれていることである。これに伴い、オーミック電極形成用積層体の形成後に行われる熱処理の際には、このNi薄膜4中のドナーとなる不純物が非単結晶InAs層3などに拡散することになる。その他のことは第1実施例と同様であるので、説明を省略する。

【0047】この第4実施例によっても、第1実施例とほぼ同様な良好な特性を有するオーミック電極を容易にしかも高い生産性で形成することができる。

【0048】次に、この発明の第5実施例について説明する。この第5実施例によるオーミック電極の形成方法においては、第1実施例において用いた図1Cに示すようなオーミック電極形成用積層体の代わりに、図10に示すようなオーミック電極形成用積層体を用いる。この図10に示すオーミック電極形成用積層体が図1Cに示すオーミック電極形成用積層体と異なる点は、WSi薄膜5が形成されておらず、その代わりに非単結晶InAs層3中にあらかじめSi、Ge、Te、Snなどのドナーとなる不純物のうち  
30 の一種または二種以上が含まれていることである。この場合、オーミック電極形成用積層体の形成後に行われる熱処理の際には、この非単結晶InAs層3中に含まれるドナーとなる不純物が、最終的に形成される結晶性 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層中にドナーとして含まれ、n型の $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層が形成される。その他のことは第1実施例と同様であるので、説明を省略する。

【0049】この第5実施例によっても、第1実施例とほぼ同様な良好な特性を有するオーミック電極を容易にしかも高い生産性で形成することができる。

【0050】次に、この発明の第6実施例について説明する。この第6実施例においては、GaAs MESFETの製造プロセスにおけるオーミック電極の形成に第2実施例によるオーミック電極の形成方法を用い、かつ、オーミック電極の形成と同時にゲート電極をも形成する場合について説明する。

【0051】この第6実施例においては、まず、図11Aに示すように、半絶縁性GaAs基板9中にドナーとなる不純物を選択的にイオン注入した後、熱処理を行う

ことにより注入不純物を電気的に活性化してn型チャネル層10を形成する。

【0052】次に、図11Bに示すように、第1実施例で述べたと同様なリフトオフ法により、オーミック電極形成部に非単結晶InAs層3およびNi薄膜4から成る積層体を形成する。

【0053】次に、例えばスパッタリング法により全面にWSi薄膜を形成した後、このWSi薄膜上に、形成すべきゲート電極およびオーミック電極に対応した形状のレジストパターン（図示せず）をリソグラフィ法により形成し、このレジストパターンをマスクとしてWSi薄膜を例えば $\text{CF}_4/\text{O}_2$ 系のエッチングガスを用いた反応性イオンエッチング（RIE）法によりエッチングした後、レジストパターンを除去する。これによって、図11Cに示すように、オーミック電極形成部に、非単結晶InAs層3、Ni薄膜4およびWSi薄膜5から成るオーミック電極形成用積層体が形成されるとともに、WSi薄膜から成るゲート電極11が形成される。なお、上記のWSi薄膜を用いて配線を形成することも可能である。

【0054】次に、これらのゲート電極11およびオーミック電極形成用積層体をマスクとしてn型チャネル層10中にドナーとなる不純物を高濃度にイオン注入した後、オーミック電極の形成および注入不純物の電気的活性化が可能な温度、例えば700～800℃の温度で熱処理を行う。これによって、図11Dに示すように、第1実施例において述べたと同様にしてソース電極またはドレイン電極として用いられるオーミック電極12、13が形成されるとともに、これらのオーミック電極12、13とゲート電極11との間の部分におけるn型チャネル層10中に $n^+$ 型層14、15が、これらのゲート電極11およびオーミック電極12、13に対して自己整合的に形成される。この場合、ソース電極としてのオーミック電極12とゲート電極11との間の部分におけるn型チャネル層10中に形成された $n^+$ 型層14により、ソース・ゲート間の直列抵抗の低減を図ることができる。

【0055】この第6実施例によれば、ソース電極またはドレイン電極として用いて好適な良好な特性を有するオーミック電極12、13を容易に形成することができ、しかもこれらのオーミック電極12、13の形成に用いられるオーミック電極形成用積層体の形成時にゲート電極11を同時に形成することができる。これによって、GaAs MESFETの製造工程の簡略化を図ることができる。

【0056】以上、この発明の実施例につき具体的に説明したが、この発明は、上述の実施例に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0057】例えば、上述の第1実施例～第6実施例に

において用いられたNi薄膜4の代わりに、Co薄膜を用いてもよい。

【0058】また、上述の第3実施例において用いられたGe薄膜8の代わりに、例えばSi薄膜を用いてもよい。

【0059】さらにまた、上述の第1実施例～第5実施例においては、オーミック電極形成用積層体をリフトオフ法により形成しているが、このオーミック電極形成用積層体は、 $n^+$ 型GaAs基板1の全面にこのオーミック電極形成用積層体を構成する層をスパッタリング法などにより順次形成した後にこれらをエッチング法によりオーミック電極の形状にパターニングすることにより形成するようにしてもよい。

【0060】さらに、上述の第1実施例～第5実施例においては、 $n^+$ 型GaAs基板1に対するオーミック電極の形成にこの発明を適用した場合について説明したが、例えばエピタキシャル成長などにより形成された $n^+$ 型GaAs層に対するオーミック電極の形成にこの発明を適用することも可能である。

#### 【0061】

【発明の効果】以上述べたように、この発明によるオーミック電極の形成方法によれば、III-V族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易にしかも高い生産性で形成することができる。また、この発明によるオーミック電極形成用積層体によれば、III-V族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易に形成することができる。

#### 【図面の簡単な説明】

【図1】この発明の第1実施例によるオーミック電極の形成方法を説明するための断面図である。

【図2】この発明の第1実施例によるオーミック電極の形成方法により形成されたオーミック電極の接触抵抗の熱処理温度依存性の測定結果の一例を示すグラフである。

【図3】この発明の第1実施例によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体の形成直後の状態を示す光学顕微鏡写真である。

【図4】この発明の第1実施例によるオーミック電極の形成方法においてオーミック電極形成用積層体を形成してから300℃で30分間熱処理を行った後の状態を示

す光学顕微鏡写真である。

【図5】この発明の第1実施例によるオーミック電極の形成方法においてオーミック電極形成用積層体を形成した後に300℃で30分間熱処理を行い、さらに650℃で1秒間熱処理を行うことにより形成されたオーミック電極の光学顕微鏡写真である。

【図6】InAs/Ni/W構造のオーミック電極形成用積層体を用いて形成されたオーミック電極の光学顕微鏡写真である。

【図7】この発明の第2実施例によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図である。

【図8】この発明の第3実施例によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図である。

【図9】この発明の第4実施例によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図である。

【図10】この発明の第5実施例によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図である。

【図11】この発明の第6実施例によるGaAs MESFETの製造方法を説明するための断面図である。

【図12】オーミック電極材料としてAuGe/Niを用いる従来のオーミック電極の形成方法をGaAs JFETの製造プロセスにおけるオーミック電極の形成に用いた場合の問題点を説明するための断面図である。

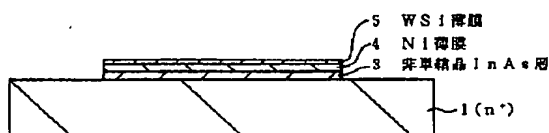
【図13】理想的なオーミック電極のエネルギーバンド図である。

【図14】従来のオーミック電極の形成方法において用いられるInAs/Ni/W構造のオーミック電極形成用積層体を示す断面図である。

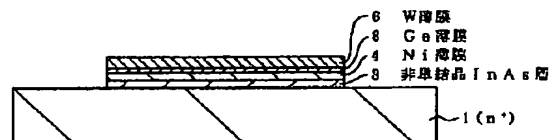
#### 【符号の説明】

- 1  $n^+$ 型GaAs基板
- 3 非単結晶InAs層
- 4 Ni薄膜
- 5 WSi薄膜
- 6 W薄膜
- 7 オーミック電極
- 8 Ge薄膜

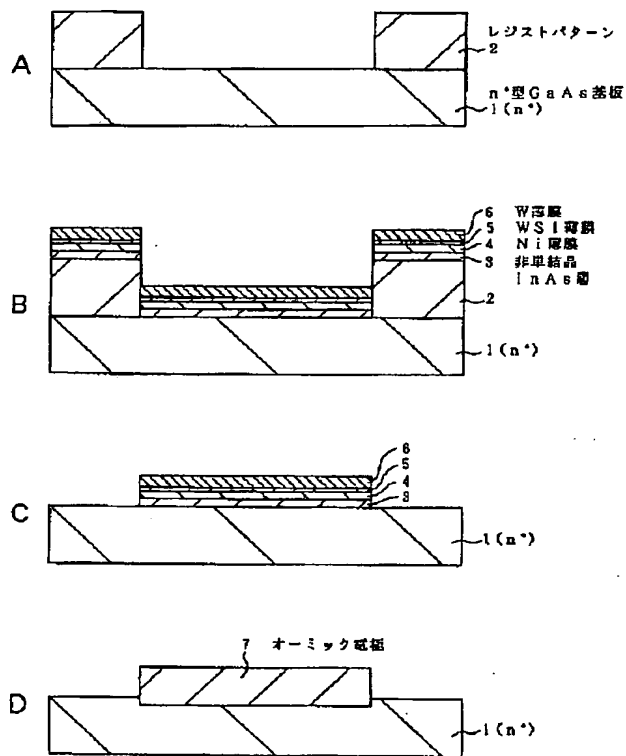
【図7】



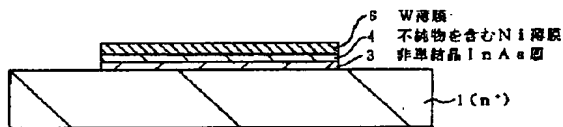
【図8】



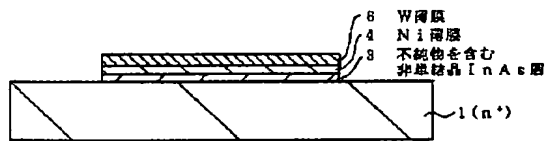
【図1】



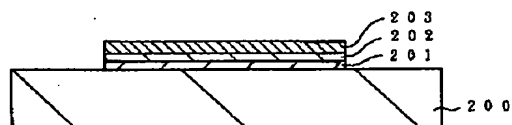
【図9】



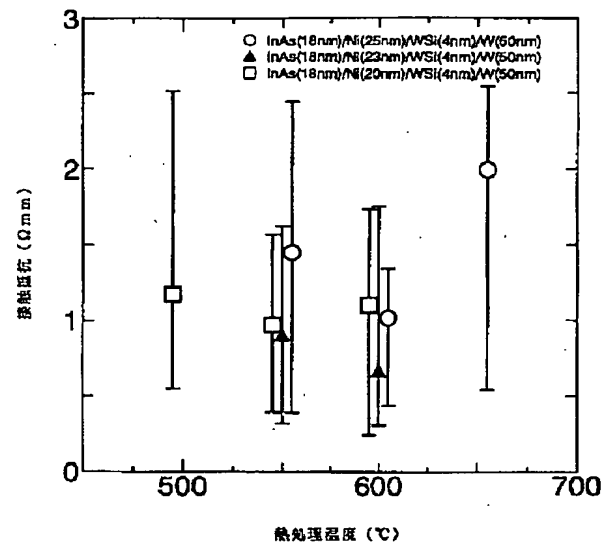
【図10】



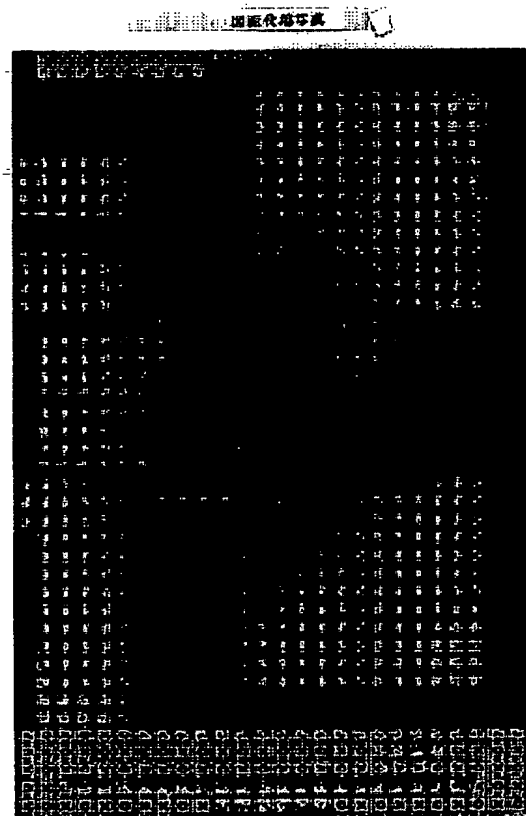
【図14】



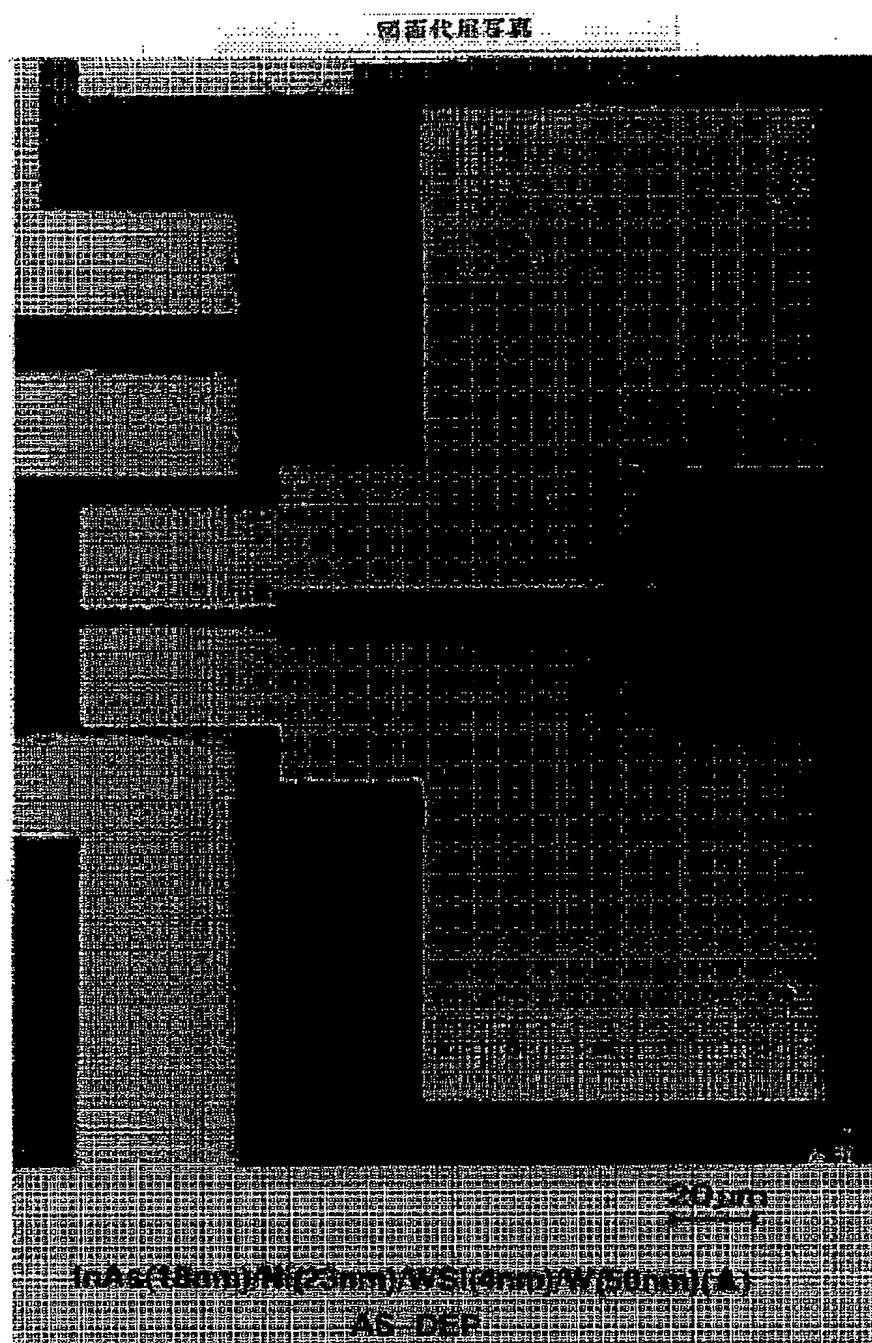
【図2】



【図4】

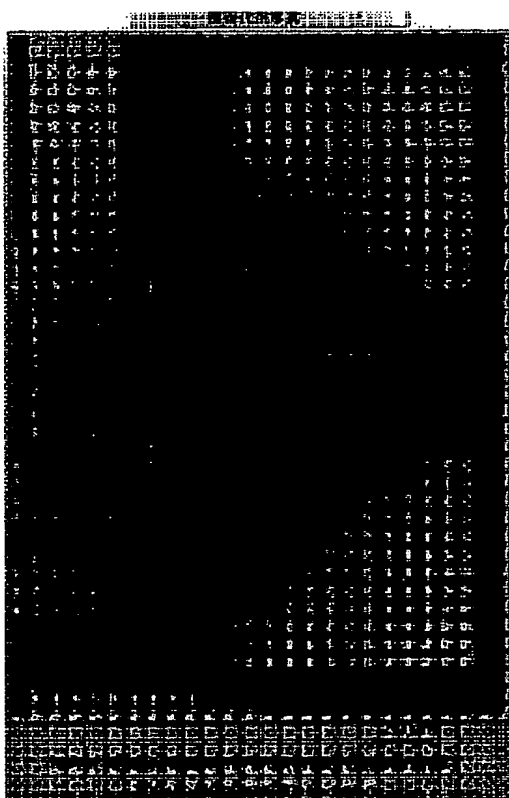


【図3】



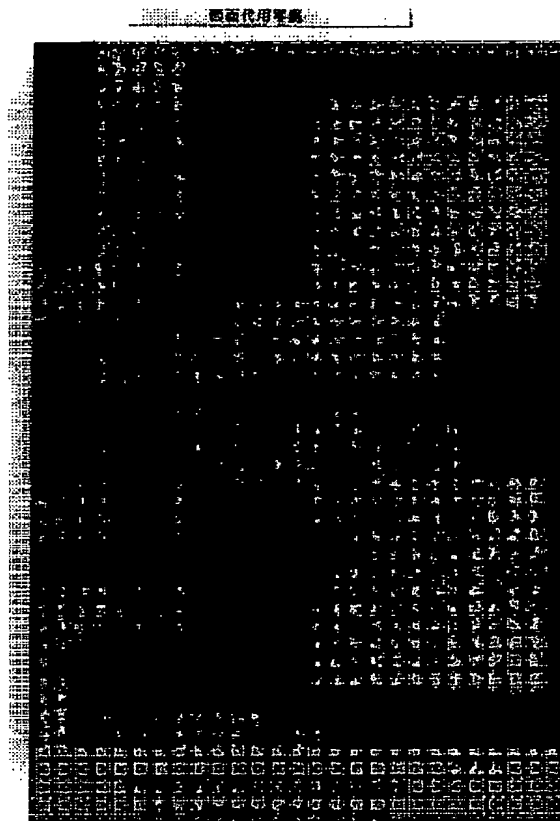
写真

【図5】



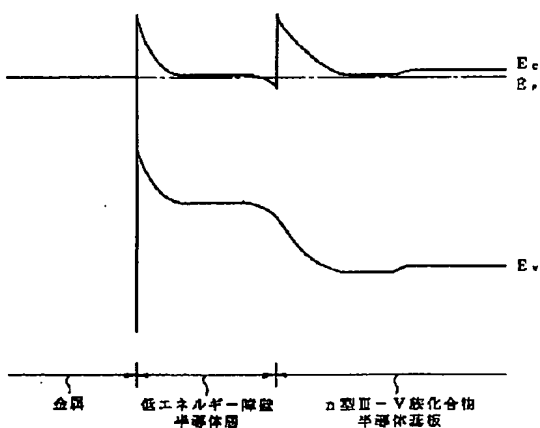
写真

【図6】

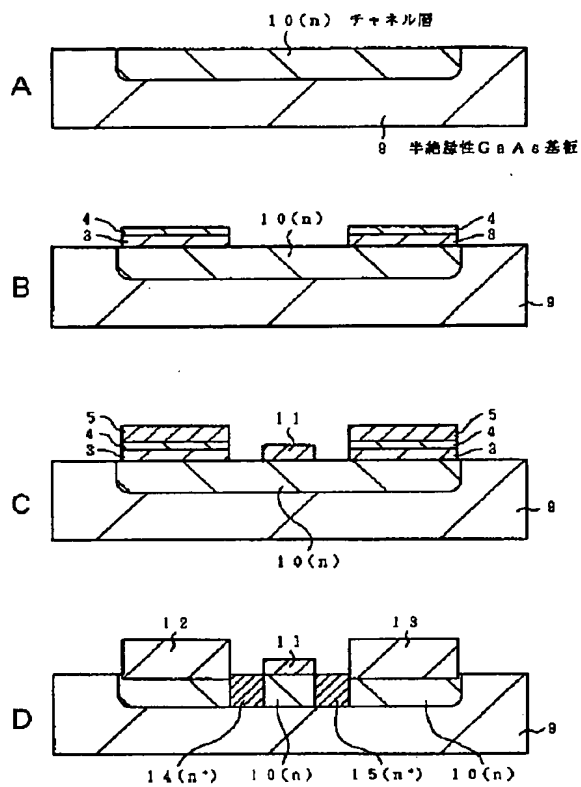


写真

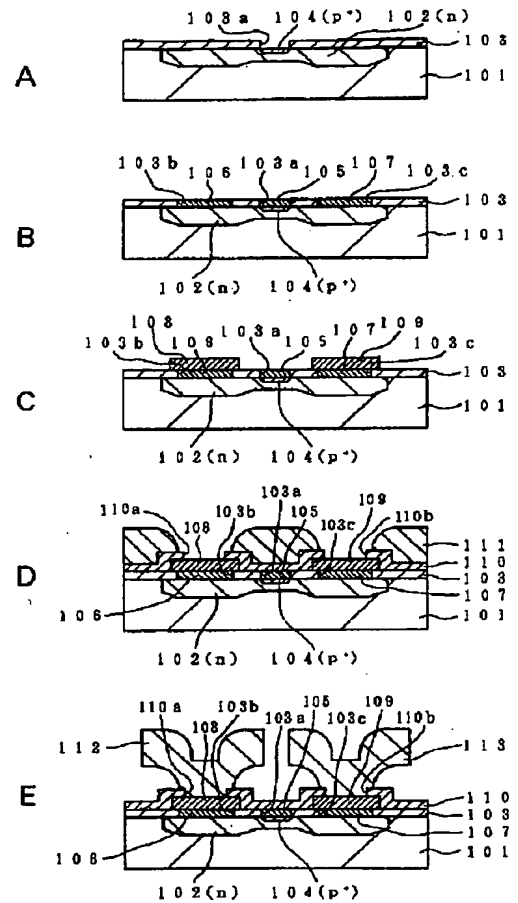
【図13】



【図11】



【図12】



フロントページの続き

(72)発明者 奥 健夫  
京都府京都市左京区吉田本町 京都大学工  
学部金属加工学教室内

(72)発明者 和田 勝  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(19)



JAPANESE PATENT OFFICE

# PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07094444 A**

(43) Date of publication of application: **07.04.95**

(51) Int. Cl.

**H01L 21/28**

**H01L 21/203**

**H01L 21/266**

(21) Application number: **05257657**

(22) Date of filing: **21.09.93**

(71) Applicant: **SONY CORP**

(72) Inventor:  
**UCHIBORI CHIHIRO**  
**MURAKAMI MASANORI**  
**OTSUKI AKIRA**  
**OKU TAKEO**  
**WADA MASARU**

## (54) FORMATION OF OHMIC ELECTRODE AND LAMINATED BODY USED THEREFOR

(57) Abstract:

**PURPOSE:** To provide an ohmic electrode having characteristics which can practically meet the requirements of a III-V compound semiconductor such as the GaAs semiconductor, etc.

**CONSTITUTION:** After forming a laminated body for forming ohmic electrode by successively forming a non-single crystal InAs layer 3, Ni thin film 4, WSi thin film 5, and W thin film 6 on an N<sup>+</sup>-type GaAs substrate 1 by using the sputtering method, etc., and patterning the films by lift-off, etc., an ohmic electrode 7 is formed by heat-treating the laminated body for 30 minutes at, for example, 300°C and, thereafter, for one second at, for example, 650°C.

**COPYRIGHT:** (C)1995,JPO

